

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-149569

(43)Date of publication of application : 27.05.1994

(51)Int.Cl.

G06F 9/38

G06F 9/34

(21)Application number : 04-299688

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 10.11.1992

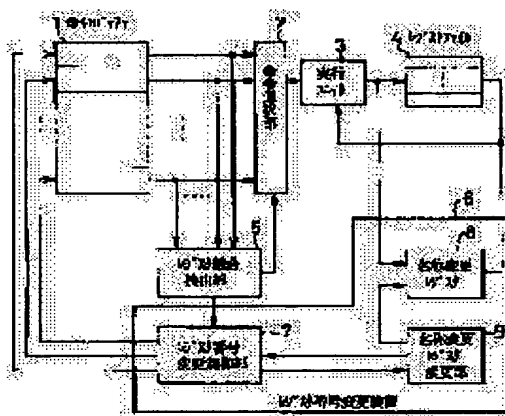
(72)Inventor : OKABE KAZUYA
ODAJIMA MAKOTO

(54) REGISTER NUMBER CHANGING DEVICE

(57)Abstract:

PURPOSE: To shorten instruction decode time and to reduce the amount of circuit by changing the register number of an instruction generating any competition into an unused register number stored in an unused register number storage means.

CONSTITUTION: A register competition detection part 5 detects the register competition, an instruction selection part 2 decides which instruction in an instruction buffer 1 is first executed, a register number change control part 7 performs reloading control to the register number of that instruction, and an execution unit 3 executes that instruction. In that case, the source operand of arithmetic is read from a register file 4 or a name change register 8, and the arithmetic result is written in the register file 4 or the name change register 8. Then, a name change register control part 9 holds the unused register in the name change register 8 with queue structure and reports the register number at the head of this queue to the register number change control part 7. When the register number of the instruction buffer 1 is reloaded, that number is extracted from the queue.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平6-149569

(43) 公開日 平成6年(1994)5月27日

(51) Int.Cl.⁵

G 0 6 F 9/38
9/34

識別記号

3 5 0 B 9193-5B
3 3 0 9189-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 7 頁)

(21) 出願番号 特願平4-299688

(22) 出願日 平成4年(1992)11月10日

(71) 出願人 000000295

沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号

(72) 発明者 岡部 和也

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 小田島 眞

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

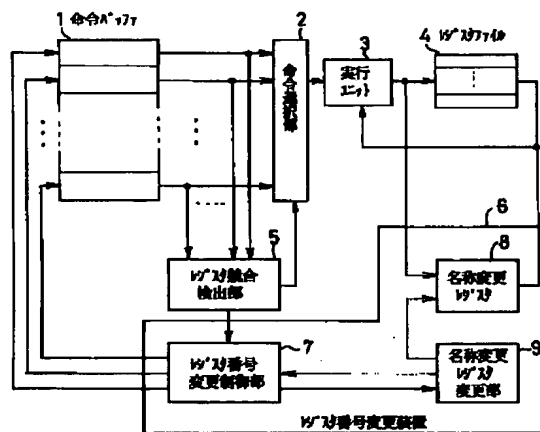
(74) 代理人 弁理士 工藤 宣幸 (外2名)

(54) 【発明の名称】 レジスタ番号変更装置

(57) 【要約】

【目的】 命令デコード時間の短縮化と、回路量の削減を図り、レジスタ競合の解消する。

【構成】 複数の命令を保持し、これら複数の命令におけるレジスタ競合を検出するレジスタ競合検出機能と、レジスタ競合が発生しない命令から先に実行を開始する先行制御機能とを有する情報処理装置において、命令のレジスタ番号で指定されるレジスタを有するレジスタファイルとは別に設けられた変更用レジスタと、変更用レジスタ中の未使用のレジスタ番号を保持する未使用レジスタ番号記憶手段と、レジスタ競合が検出されたとき、競合の発生した命令のレジスタ番号を、未使用レジスタ番号記憶手段に記憶されている未使用レジスタ番号に変更するレジスタ名称変更手段とを有する。



—実施例の構成を示すブロック図

【特許請求の範囲】

【請求項1】 複数の命令を保持し、これら複数の命令におけるレジスタ競合を検出するレジスタ競合検出機能と、レジスタ競合が発生しない命令から先に実行を開始する先行制御機能とを有する情報処理装置において、命令のレジスタ番号で指定されるレジスタを有するレジスタファイルとは別に設けられた変更用レジスタと、該変更用レジスタ中の未使用レジスタ番号を保持する未使用レジスタ番号記憶手段と、レジスタ競合が検出されたとき、競合の発生した命令のレジスタ番号を、前記未使用レジスタ番号記憶手段に記憶されている未使用レジスタ番号に変更するレジスタ番号変更手段とを有することを特徴とするレジスタ番号変更装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、情報処理装置に関し、特に、レジスタ競合に対して効率的に処理できる情報処理装置に用いられるレジスタ番号変更装置に関する。

【0002】

【従来の技術】 従来、情報処理装置において、レジスタハザードすなわちレジスタ競合と呼ばれる状態が発生することにより高速な実行が実現できないという問題があり、この問題を回避するためにレジスタリネーミングという方式が採られていた。 まず、レジスタ競合について説明し、その次に、レジスタリネーミング方式を説明する。

【0003】 図2は、そのレジスタ競合を起こす命令シーケンスの例を示すものである。ここで、ADDとSUBは命令種別で、それぞれ加算と引き算の命令である。その次に来る第一引数は命令実行結果を格納すべきレジスタ番号部で、その後の第二と第三の引数は演算の引数を保持するレジスタ番号部である。ここでは、情報処理装置はパイプライン制御を行うもので、図3に示すようなパイプラインステージ処理を行うものとする。

【0004】 図3において、各ステージF、D、E、M、Wは、各々命令フェッチ、命令デコード/ソースオペランド読み出し、命令実行/アドレス計算、メモリアクセス、レジスタ書き込みを行うステージを示すものである。

【0005】 図4は、図3に示すパイプラインステージにおいて、図2に示す命令を実行した場合のタイミングを示すものである。図4により、図2に示す命令を実行した場合の動作を説明する。

【0006】 図2の(2)の命令は、(1)の加算命令の実行結果R12を第二引数として用いる引算命令であるため、(1)のレジスタ書き込みステージWの後に、(2)の命令実行/アドレス計算ステージEが行われなければならない。また、(2)の実行開始が遅れる。さらに、(3)の命令は、(2)の実行結果R10を第二引数と

して用いる加算命令であるため、(2)のレジスタ書き込みステージWの後に、(3)の命令実行/アドレス計算ステージEが行われなければならない。また、(3)の実行開始が遅れる。続く(4)の命令の場合は、これらの(2)の命令のレジスタ書き込みステージWと(3)の命令によるR10の読み出しが終了してから、R10への書き込みを行わなければならないために、(4)の命令の実行開始が遅れる。実行開始を遅らせるこのような要因をレジスタ競合という。特に、(3)と(4)の間のレジスタ競合をWAR (write after read) ハザードといい、(2)と(4)の間のレジスタ競合をWAW (write after write) ハザードという。

【0007】 従来、このレジスタ競合のうち、(3)と(4)の間と(2)と(4)の間で起こるWARハザードとWAWハザードによるデータハザードの解決のために、レジスタリネーミング方式が採られていた。次にこの方式について説明する。

【0008】 図5に、そのレジスタリネーミング方式の構成をブロック図で示す。図において、20は、複数の命令をストアする命令バッファである。21は、レジスタ競合の状態から命令の実行順序を決定し、選択する命令選択部である。22は、命令間のレジスタ競合を検出するレジスタ競合検出部である。23は、命令選択部により選択された命令を実行する実行ユニットである。24は、レジスタファイルである。25は、レジスタ変更テーブルである。

【0009】 このような構成において、レジスタリネーミング方式では、命令バッファ20から読み出された(4)の命令をデコードしたときに、レジスタファイル24内の書き込み先レジスタが(2)と(3)の命令で用いられることがレジスタ競合検出部22で検出される。レジスタ競合検出部22がそれを検出した場合に、(4)の命令が実行されるための障害がこのレジスタ競合だけであるときは、実行開始時に(4)の命令の書き込み先レジスタ番号を変更し、さらに、レジスタ変更テーブル25に、レジスタ番号が変更されること、およびその変更先が書き込まれる。このようにしてレジスタ番号が変更されるため、命令列の実行タイミングは、図7のようになり、(4)の命令の実行開始が早くなる。この命令後に、ここでレジスタハザードが発生したレジスタを使用する命令を実行するときは、レジスタ変更テーブル25がチェックされ、レジスタ番号が変更されていることを識別し、かつその変更先を読み出して変更先のレジスタがアクセスされることになる。

【0010】 図6はそのレジスタ変更テーブル25の構成を示すものである。そのテーブルにおいて、レジスタ番号(1)にはR10が 10 され、それに対応してレジスタ番号(2)にはR32が書き込まれているので、このテーブルがチェックされると、R10にレジスタ番号の

変更があり、その変更先はR 3 2であることが識別できることになる。

【0011】

【従来技術の問題点】しかし、上述したような従来のレジスタリネーミング方式では、レジスタアクセス毎にレジスタ変更テーブル25を参照する必要があり、そのために、レジスタ変更テーブル25の参照時間だけデコード時間が長くなってしまおうという欠点があった。

【0012】さらに、レジスタ変更テーブルは多くの回路量を必要とするため、回路規模が増大するという欠点 10 があった。

【0013】

【課題を解決するための手段】そこで、本発明は、上記したような欠点をなくすべくなされたもので、本発明のレジスタ番号変更装置によれば、複数の命令を保持し、これら複数の命令におけるレジスタ競合を検出するレジスタ競合検出機能と、レジスタ競合が発生しない命令から先に実行を開始する先行制御機能とを有する情報処理装置において、命令のレジスタ番号で指定されるレジスタを有するレジスタファイルとは別に設けられた変更用 20 レジスタと、その変更用レジスタ中の未使用のレジスタ番号を保持する未使用レジスタ番号記憶手段と、さらにレジスタ競合が検出されたとき、競合の発生した命令のレジスタ番号を、未使用レジスタ番号記憶手段に記憶されている未使用レジスタ番号に変更するレジスタ番号変更手段とを有するようにしたのである。

【0014】

【作用】このように構成したので、レジスタ競合の検出の際に、常にレジスタ変更テーブルをチェックする必要がなくなり、命令デコード時間の短縮化と、従来のレジスタ変更テーブルに必要な回路量の削減を図ることができる。

【0015】

【実施例】以下、本発明を実施例により、説明する。

【0016】図1は、本発明の一実施例を示すブロック図である。図において、1は、命令バッファである。2は、命令選択部である。3は、実行ユニットである。4は、レジスタファイルである。5は、レジスタ競合検出部である。6は、レジスタ番号変更装置である。7は、レジスタ番号変更制御部である。8は、名称変更レジスタ 40 である。9は、名称変更レジスタ制御部である。

【0017】命令バッファ1は、複数の命令を実行に先立って保持するものであり、図に示した情報処理装置はこの命令バッファ1の中から実行可能な命令を選択して実行を行う。

【0018】レジスタ競合検出部5は、例えば、各レジスタ番号をすべて比較するというようにして、命令バッファ1に保持されている命令間および実行中の命令間におけるレジスタ競合を検出するものである。

【0019】命令選択部2は、レジスタ競合検出部5に 50

よるレジスタ競合の状態を受け取ることにより、命令バッファ1の命令の中でどの命令を先に実行させるかを決定し、選択するものである。

【0020】レジスタ番号変更制御部7は、レジスタ競合検出部5の競合判定結果により、命令バッファ1の命令のレジスタ番号の置換制御を行うものである。

【0021】実行ユニット3は、命令選択部2によって選択された命令を実行するものである。その際、演算のソースオペランドをレジスタファイル4または名称変更レジスタ8から読み出し、演算結果をこれらのレジスタファイル4または名称変更レジスタ8に書き込む。レジスタファイル4か名称変更レジスタ8かの選択は、レジスタ番号変更制御部7によって書き換えられた命令バッファ1内の命令のレジスタ番号によって指示される。

【0022】名称変更レジスタ制御部9は、名称変更レジスタ8内の未使用レジスタをキュー構造にして保持しており、このキューの先頭にあるレジスタ番号をレジスタ番号変更制御部7に通知する。そして、このレジスタ番号をレジスタ番号変更制御部7が受け取った後に命令バッファ1のレジスタ番号をそのレジスタ番号に書き換えたときは、そのレジスタ番号はキューから取り出される。また、名称変更レジスタ8において未使用になったレジスタ番号は、このキューの最後尾に付け加えられる。

【0023】次に、その動作を図2に示した命令列により説明する。また、図2に示す命令列が実行されるタイミングは、図7と同じである。

【0024】まず、名称変更レジスタ8と名称変更レジスタ制御部9について説明する。図8に示すように、名称変更レジスタ8は、レジスタファイル4から連続する番号を付けられた8ワードのレジスタであり、初期状態は特に指定されないものである。

【0025】名称変更レジスタ制御部9は、図9に示すように、名称変更レジスタ8で未使用になったレジスタの番号を入力としてキューの最後尾に入れ、レジスタ番号変更制御部7に先頭のレジスタ番号を出力するものである。

【0026】次に、上述した構成におけるレジスタ競合発生時の動作を、図2の命令列で、図7により説明する。

【0027】時間1では、(1)と(2)の命令をフェッチする。

【0028】時間2では、(3)および(4)の命令をフェッチすると共に、(1)および(2)の命令デコードを行い、さらに、レジスタ競合検出部5がレジスタ競合の検出を行う。ここでは、(1)と(2)の命令の間にレジスタ番号R 1 2に関してハザードが存在するので、(1)の命令だけが発行されて実行ユニットに渡され、(2)の命令の発行は行われない。

5

【0029】時間3では、(1)の命令が実行ユニット3で実行されると共に、(3)および(4)の命令がデコードされ、さらに次に実行される命令が決定される。このとき、(2)の命令は、(1)の命令の実行結果がまだレジスタファイル4にはないので実行命令の候補とはされない。(3)の命令は、(2)の命令との間でレジスタ番号R10に関してハザードが存在するので同様に実行命令の候補とはならない。(4)の命令は、

(2)および(3)の命令との間でR10に関してWA WおよびWA Rハザードが存在するが、次に示すように(2)と(3)の命令のレジスタ番号R10を他のレジスタ番号に書き換えることにより、(2)および(3)の命令より先に実行を開始させることができる。

【0030】まず、レジスタ競合検出部5が、(2)および(3)の命令と(4)の命令のハザードを検出する。これを、レジスタ番号変更制御部7に通知すると、レジスタ番号変更制御部7では名称変更レジスタ制御部9からキューの先頭のレジスタ番号R32を取り出し、命令バッファ1の(2)および(3)の命令のR10をR32に書き換える。名称変更レジスタ制御部9ではキューの先頭からR32が取り出される。

【0031】どの命令のどのレジスタ番号を書き換えるかは、処理時間等の種々の条件から決定される。

【0032】時間4では、(1)の命令のメモリアクセスと、(4)の命令の実行/アドレス計算が行われる。

【0033】時間5では、(1)の命令の演算結果がレジスタファイル4に書き込まれると共に、(4)の命令のメモリアクセスが行われる。さらに、(1)の命令のレジスタファイル4への書き込みによって(2)の命令のソースオペランドが得られるので、命令選択部2により、(2)の命令が選択されることになる。

【0034】そして、時間6では、(2)の命令の実行が行われると共に、(4)の命令の実行結果がレジスタファイル4に書き込まれる。

【0035】時間7では、(2)の命令のメモリアクセスのステージとなる。

【0036】時間8では、(2)の命令の演算結果が本来ならレジスタファイル4に書き込まれるのであるが、書き込み先がレジスタ番号R32に変更されているので、名称変更レジスタ8内のR32にその結果が書き込まれる。さらに、最後に残った(3)の命令のソースオペランドが、(2)の命令の終了によって得られたので、命令選択部2により、(3)の命令が選択され、ソースオペランドの読み出しが行われる。このときも、(3)の命令のソースオペランドのR10がR32に書き換えられているので、名称変更レジスタ8内のR32

6

からそのデータが読み出される。

【0037】さらに、時間9、10そして11において、(3)の命令実行/アドレス計算、メモリアクセス、そしてレジスタ書き込みの各ステージが行われ、終了する。

【0038】以上は、パイプライン制御による情報処理装置でレジスタ番号変更装置の動作を説明したが、例えば、レジスタの共有によるレジスタハザードの生じ得るような情報処理装置等についても適用が可能である。

10 【0039】

【発明の効果】以上説明したように、本発明のレジスタ番号変更装置によれば、従来のように命令デコード時に発行しようとする命令の内容を変更し、さらにレジスタ内でマッピングを行うことなく、レジスタ競合の解消することができる。よって、命令デコード時間の短縮化と、回路量も削減を図ることができる。従って、本発明は、情報処理装置における大きな性能向上を図ることができるものである。

【図面の簡単な説明】

20 【図1】本発明の一実施例のレジスタ番号変更装置を含む情報処理装置のブロック図である。

【図2】命令列の一例を示す図である。

【図3】情報処理装置のパイプラインステージの一例を示す図である。

【図4】図2に示す命令列を処理するときのタイミングチャートである。

【図5】従来方式の情報処理装置のブロック図である。

【図6】従来方式による情報処理装置の中のレジスタ変更テーブルのブロック図である。

30 【図7】図2に示す命令列をレジスタリネーミング方式で処理した場合のタイミングチャートである。

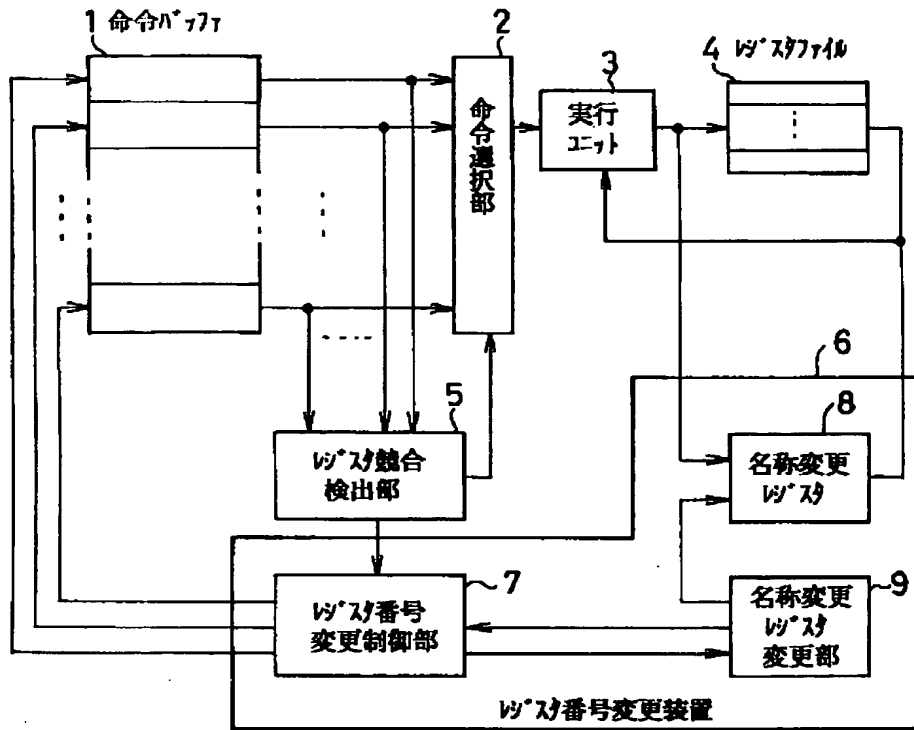
【図8】本発明にかかる情報処理装置のレジスタファイルと名称変更レジスタの一例を示す構成図である。

【図9】本発明にかかるレジスタ番号変更装置の名称変更レジスタ制御部のレジスタキューの構成図である。

【符号の説明】

- 1、10…命令バッファ
- 2、21…命令選択部
- 3、23…実行ユニット
- 4、24…レジスタファイル
- 5、22…レジスタ競合検出部
- 25…レジスタ変更テーブル
- 6…レジスタ番号変更装置
- 7…レジスタ番号変更制御部
- 8…名称変更レジスタ
- 9…名称変更レジスタ制御部

【図1】



—実施例の構成を示すブロック図

【図2】

- (1) ADD R12,R15,R16
- (2) SUB R10,R12,R13
- (3) ADD R11,R10,R14
- (4) SUB R10,R21,R22

ワースト競合を起こす命令シーケンスの一例を示す図

【図4】

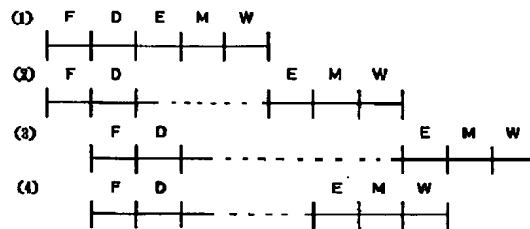


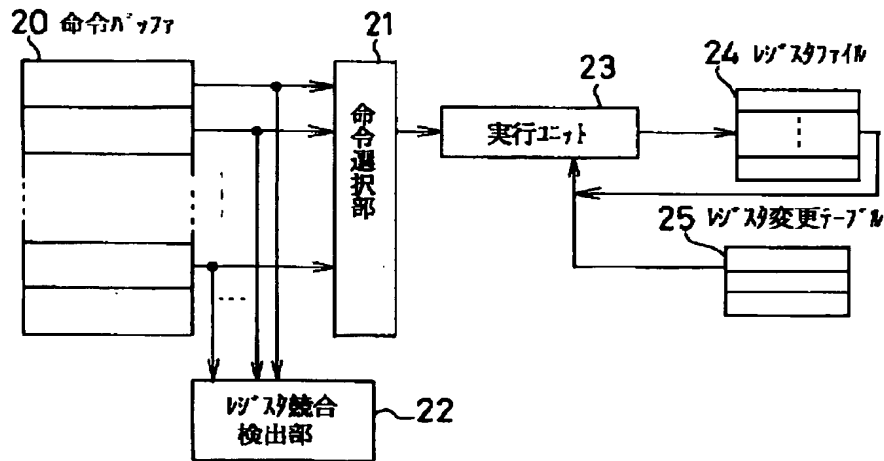
図2の命令列の処理を示すタイミング図

【図6】

ワースト番号(1)	ワースト番号(2)
R10	R32

ワースト変更レジスタの構成を示す図

【図5】



WSLネーミング方式の構成を示すブロック図

【図7】

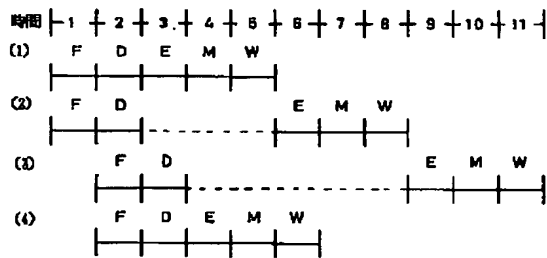
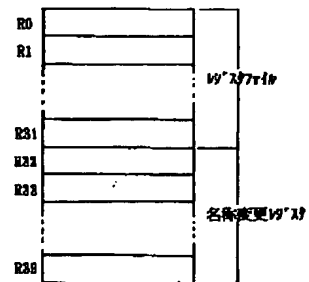


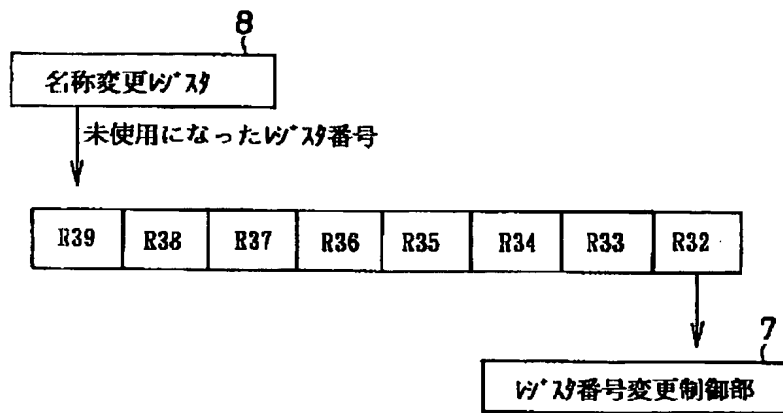
図2の命令列をWSLネーミング方式で処理した場合のタイミング

【図8】



WSLファイルと名前変更WSLの構成を示す図

【図9】



名称変更レジスタ制御部の構成を示すブロック図